

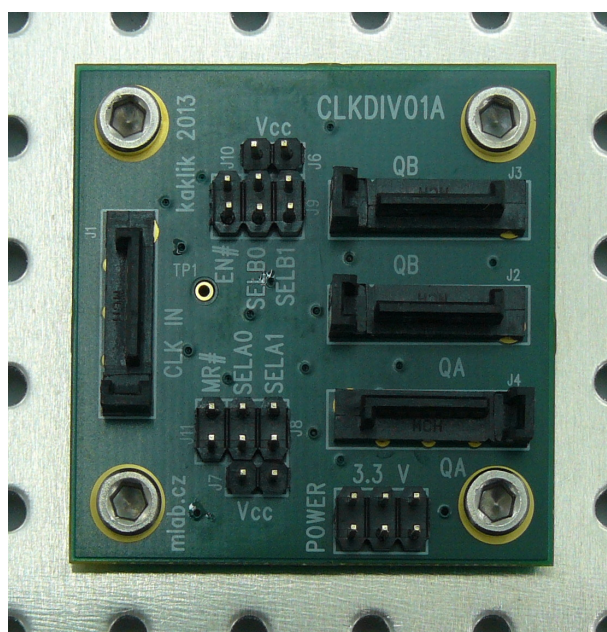
Dělička hodin s diferenčním vstupem

Jakub Kákona, Martin Kákona, kaklik@mlab.cz

13. dubna 2014

Abstrakt

Může být nastaveno více dělicích poměrů. Možnosti jsou ($\div 1$, $\div 2$, $\div 4$, $\div 8$) nebo ($\div 2$, $\div 4$, $\div 8$, $\div 16$). EN vstup je synchronní s interními hodinami, proto dojde k vypnutí výstupu při návratu na nulu.



Obsah

1	Technické parametry	2
2	Popis konstrukce	3
2.1	Zapojení	3
2.2	Odrušení	5
3	Výroba a testování	5
3.1	Osazení	5
4	Programové vybavení	5

1 Technické parametry

Parametr	Hodnota	Poznámka
Napájecí napětí	3.3 V	cca 100 mA
Typy vstupní diff logiky	LVDS, LVPECL, CML, HSTL, HCSL	
Logika řídicích signálů	LVTTL, LVCMOS	
Pracovní frekvence vstupu	< 3 GHz	
Dělicí poměry QA	÷1, ÷2, ÷4, ÷8	
Dělicí poměry QB	÷2, ÷4, ÷8, ÷16	

2 Popis konstrukce

2.1 Zapojení

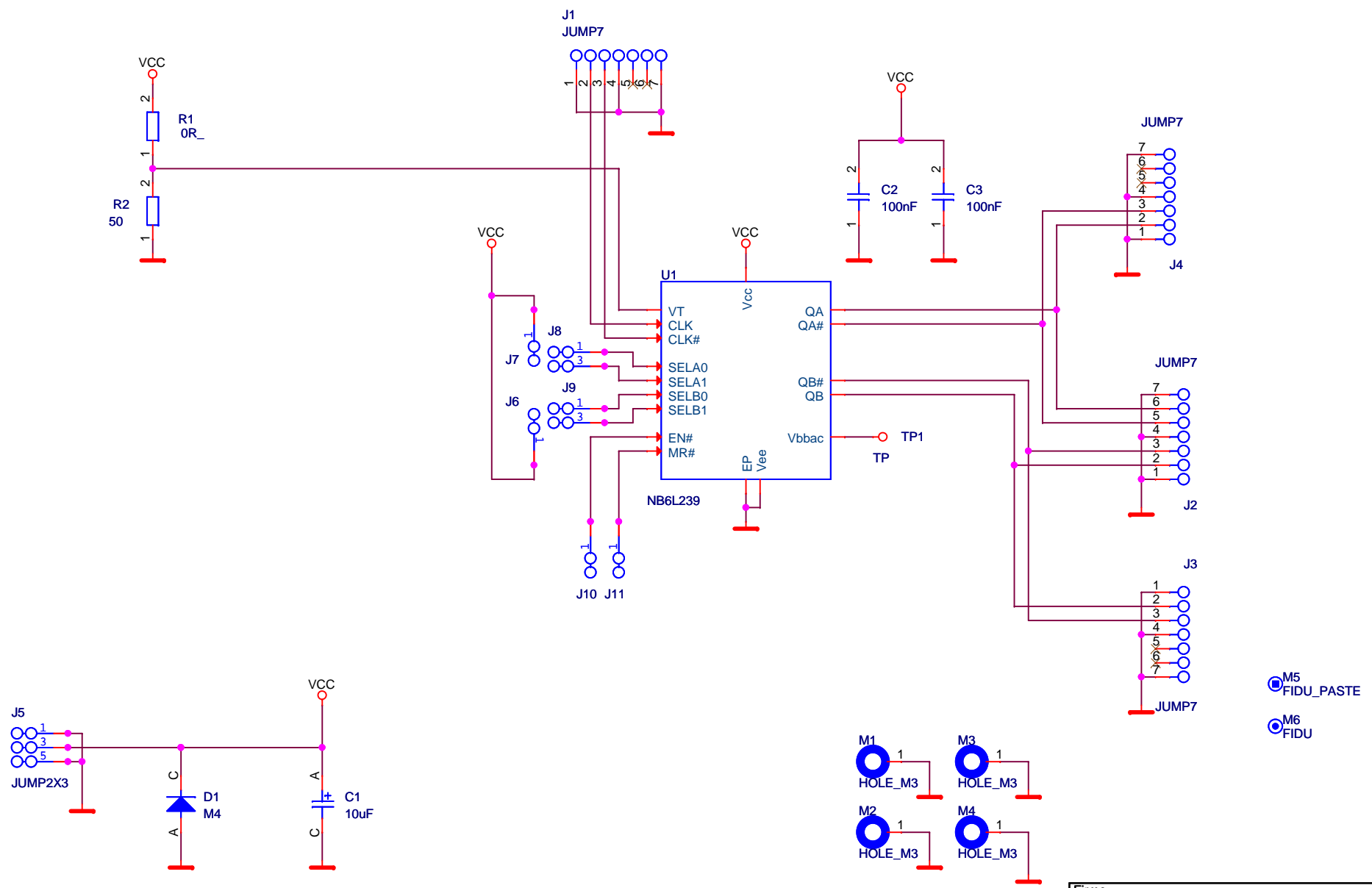
Zapojení modulů je identické s doporučeným zapojením z katalogového listu. Vstupy a výstupy jsou vyvedeny na diferenční signály SATA konektorů. Řídící signály lze ovládat přímo z procesoru připojením výstupního pinu na hřebínek, nebo lze dělicí poměr navolit pevně Jumpery.

D

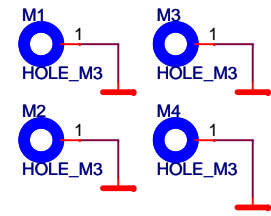
C

B

A



- M5 FIDU_PASTE
- M6 FIDU



Firma		Author	
MLAB		KAKLIK	
Size A4	Project Name CLK DIVIDER	Schematic Name CLKDIV	Rev A
Date:	Saturday, December 14, 2013	Sheet	1 of 1

2.2 Odrušení

Tento modul může produkovat rušení v napájení. Je proto vhodné jej v citlivých analogových aplikacích připojovat krátkým napájecím kablíkem.

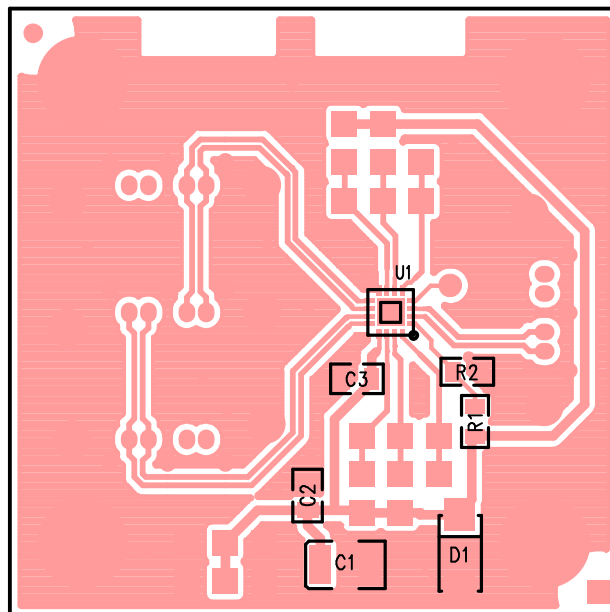
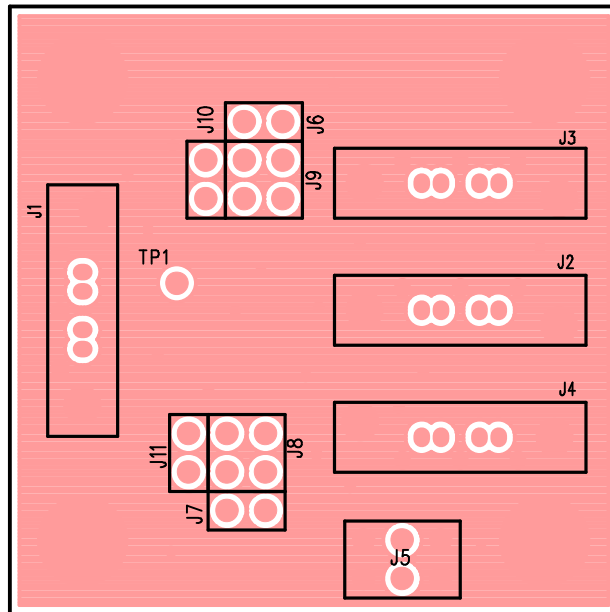
3 Výroba a testování

3.1 Osazení

4 Programové vybavení

Reference

[1] Wiki stránka modulu [MLAB wiki stránka modulu CLKDIV01A](#)



Obrázek 1: Osazovací plán horní a spodní strany plošného spoje